

⑬日本国特許庁

⑭特許出願公開

公開特許公報

昭53—66187

①Int. Cl. ²	識別記号	②日本分類	庁内整理番号	③公開	昭和53年(1978)6月13日
H 01 L 27/04		99(5) H 0	6513—57		
H 01 L 21/72		99(5) E 2	7514—57	発明の数	4
H 01 L 29/70		98(5) G 221	6324—56	審査請求	未請求
H 03 K 19/08					

(全 6 頁)

⑤半導体集積回路装置とその製造方法

⑦発明者 山崎和夫

小平市上水本町1450番地 株式
会社日立製作所武蔵工場内

⑧特 願 昭51—141275

⑨出 願 昭51(1976)11月26日

⑩出 願 人 株式会社日立製作所

⑪発明者 城聖一

小平市上水本町1450番地 株式
会社日立製作所武蔵工場内

東京都千代田区丸の内一丁目5
番1号

⑫代理人 弁理士 薄田利幸

明 細 書

発明の名称 半導体集積回路装置とその製造方法
特許請求の範囲

1 第1導電型半導体基板表面にIILの一部を成す第2導電型埋込層とパイボラ素子の一部を成す第2導電型埋込層とを形成し、さらに上記第1導電型半導体基板上に第1導電型半導体層を形成し、この第1導電型半導体層表面から上記第2導電型埋込層に到達する深さのリング状第2導電型半導体領域を形成することによつてIIL部とパイボラ素子部それぞれにおいて上記第1導電型半導体層と分離された第1導電型半導体領域を確保し、IIL部における上記リング状第2導電型半導体領域及び上記第2導電型埋込層をIILを構成するラテラルトランジスタのベース領域及びこれと逆導電型のインバース型トランジスタのエミッタ領域として用い、パイボラ素子部における上記リング状第2導電型半導体領域及び上記第2導電型埋込層をパイボラ素子のコレクタとして用いるようにしてなることを特徴とする半導

体集積回路装置。

2 第1導電型半導体基板表面にIILの一部を成す第2導電型埋込層とパイボラ素子の一部を成す第2導電型埋込層とを形成し、さらに上記第1導電型半導体基板上に第1導電型半導体層を形成し、この第1導電型半導体層表面から上記第2導電型埋込層に到達する深さのリング状第2導電型半導体領域を形成することによつてIIL部とパイボラ素子部それぞれにおいて上記第1導電型半導体層と分離された第1導電型半導体領域を確保し、さらにIIL部およびパイボラ素子部以外の第1導電型半導体層において第2導電型半導体領域を形成し、IIL部における上記リング状第2導電型半導体領域及び第2導電型埋込層をIILを構成するラテラルトランジスタのベース領域及びこれと逆導電型のインバース型トランジスタのエミッタ領域として用い、パイボラ素子部における上記リング状第2導電型半導体領域及び上記第2導電型埋込層をパイボラ素子のコレクタとして用い、さらに、上記IIL部およびパ

Fig 8-10

イボラ素子部以外の第1導電型半導体層において形成した第2導電型半導体領域内に抵抗体領域を確保してなることを特徴とする半導体集積回路装置。

3 第1導電型半導体基板表面に選択的に第2導電型不純物を添加することにより第2導電型埋込層を形成する工程、上記第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長させる工程、上記第1導電型半導体層表面から上記第2導電型不純物を選択的に添加することにより上記第2導電型埋込層に到達する深さの第2導電型半導体領域を設け、これによつてIILのラテラルトランジスタのベース、IILのインパース型トランジスタのエミッタ、バイポーラ素子のコレクタ領域を同時に形成する工程、半導体表面から第1導電型不純物を選択的に添加することによりIILのラテラルトランジスタのエミッタ領域、IILのインパーストランジスタのベース領域、バイポーラ素子のベース領域を同時に形成する工程、半導体表面から第2導電型不純物を選択的に

添加することにより少なくともIILのインパーストランジスタのコレクタ領域とバイポーラ素子のエミッタ領域とを同時に形成する工程とを有することを特徴とする半導体集積回路装置の製法。

4 第1導電型半導体層表面から第2導電型不純物を選択的に添加することによりIILのラテラルトランジスタのベース領域を形成するに際して用いた窓開部を残存させ、その窓開部を通じて第1導電型不純物を添加することによりIILのラテラルトランジスタのエミッタ領域を形成することを特徴とする特許請求の範囲第3項記載の半導体集積回路装置の製法。

5 第1導電型半導体基板表面に選択的に第2導電型不純物を添加することにより第2導電型埋込層を形成する工程、上記第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長させる工程、上記第1導電型半導体層表面から上記第2導電型不純物を選択的に添加することにより上記第2導電型埋込層に到達する深さの第2導電型半導体領域を設け、これによつてIILのラテラ

ルトランジスタのベース、IILのインパース型トランジスタのエミッタ、バイポーラ素子のコレクタ領域及び抵抗部における抵抗体を第1導電型半導体層から分離する領域を同時に形成する工程、半導体表面から第1導電型不純物を選択的に添加することによりIILのラテラルトランジスタのエミッタ領域、IILのインパーストランジスタのベース領域、バイポーラ素子のベース領域、及び抵抗部の抵抗体領域を同時に形成する工程、半導体表面から第2導電型不純物を選択的に添加することにより少なくともIILのインパーストランジスタのコレクタ領域とバイポーラ素子のエミッタ領域とを同時に形成する工程とを有することを特徴とする半導体集積回路装置の製法。

発明の詳細な説明

本発明はIIL素子及び通常のバイポーラ素子を有する半導体集積回路装置とその製造方法に関するものである。

IIL(Integrated Injection Logic)はnpn型のインパーストランジスタとpnp型

のラテラルトランジスタを組み合わせたもので、極めて高集積度の論理回路を構成することができる点に大きな特長を有する。しかしながら、IILはp型半導体基板上に e^- 型エピタキシャル成長層を形成し、次いで、選択拡散により p^+ 型半導体領域を形成し、更に選択拡散により n^+ 型半導体領域を形成するという方法によつてインパーストランジスタが形成されるものであり、このインパーストランジスタについては不純物濃度がコレクタ、ベース、エミッタの順で低くなる。したがつて、エミッタがベースよりも不純物濃度が低くなり、その結果注入効率が低く、電流増幅率も低くなる。

また、ラテラルトランジスタについても、そのベース幅はp型不純物の選択拡散によつて決定され、その拡散に関するホトマスクの精度、ホトレジストの精度、拡散時間によりベース幅が変化する。したがつて、ベース幅を狭く設定することは困難で、やはりpnpラテラルトランジスタについても電流増幅率が低いという問題がある。

さらには、インバーストランジスタのコレクタの不純物濃度が極めて高いことから、その表面に電極を形成してもオーミック化されB D (ショットキーバリアダイオード)を形成することが極めて困難乃至不可能という問題があつた。

これらの問題点を解決するために例えば n^+ 型半導体基板に p^- 型エピタキシャル成長層を形成し、その成長層表面に選択的に不純物の拡散をすることによつて p^+ 型半導体領域を形成し、さらにその p^+ 型半導体領域に選択的に不純物の拡散をすることにより n^+ 型半導体領域を形成するという手段を採用することによつてインバースト $n p n$ トランジスタの電流増幅率の向上を図ることが試みられたが、同一チップ内にTTL回路も共存する半導体集積回路に適用することは困難であつた。

したがつて本発明は通常のバイポーラトランジスタとIILとを有する半導体集積回路において、製造工数を増すことなくIILの構成要素をなすトランジスタの電流増幅率を高めることを目的と

するものである。

上記目的を達成するための本発明の一実施態様に係る半導体集積回路装置は、第1導電型半導体基板表面にIILの一部を成す第2導電型埋込層とバイポーラ素子の一部を成す第2導電型埋込層とを形成し、さらに上記第1導電型半導体基板上に第1導電型半導体層を形成し、この第1導電型半導体層表面から上記第2導電型埋込層に到達する深さのリング状第2導電型半導体領域を形成することによつてIIL部とバイポーラ素子部それぞれにおいて上記第1導電型半導体層と分離された第1導電型半導体領域を確保し、IIL部における上記リング状第2導電型半導体領域及び上記第2導電型埋込層をIILを構成するラテラルトランジスタのベース領域及びこれと逆導電型のインバーストランジスタのエミッタ領域として用い、バイポーラ素子部における上記リング状第2導電型半導体領域及び上記第2導電型埋込層をバイポーラ素子のコレクタとして用いるようにしてなることを特徴とするものである。

本発明の一実施態様に係る半導体集積装置に係る製造方法は、第1導電型半導体基板表面に選択的に第2導電型不純物を添加することにより第2導電型埋込層を形成する工程、上記第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長させる工程、上記第1導電型半導体層表面から上記第2導電型不純物を選択的に添加することにより上記第2導電型埋込層に到達する深さの第2導電型半導体領域を設け、これによつてIILのラテラルトランジスタのベース、IILのインバーストランジスタのエミッタ、バイポーラ素子のコレクタ領域を同時に形成する工程、半導体表面から第1導電型不純物を選択的に添加することによりIILのラテラルトランジスタのエミッタ領域、IILのインバーストランジスタのベース領域、バイポーラ素子のベース領域を同時に形成する工程、半導体表面から第2導電型不純物を選択的に添加することにより少なくともIILのインバーストランジスタのコレクタ領域とバイポーラ素子のエミッタ領域とを同時に形成する工

程とを有することを特徴とするものである。

以下本発明を実施例により説明する。

第1図から第10図までは本発明の一実施例に係る製造方法を工程順に示すものである。

(1) p 型半導体基板1を用意し、その表面に n 型不純物を選択拡散することにより n^+ 型埋込層を形成する。(第1図参照)

(2) p 型半導体基板1上に p^- 型エピタキシャル成長層4を形成する。(第2図参照)

(3) エピタキシャル成長層4表面に全面的にB10₃膜3を形成し、それを選択的にエッチングすることにより選択拡散用窓開部を形成する。

(第3図参照)

(4) 上記窓開部を通じてエピタキシャル成長層4の表面に n 型不純物をイオン打込み(打込みエネルギー150 eV、濃度 $1 \times 10^{12} \text{ cm}^{-2}$)し、さらにその不純物を真空雰囲気中で引き延ばし拡散(拡散温度120℃、拡散時間5~6時間)することにより n^+ 型埋込層2に到達する深さの n^- 型半導体領域(不純物濃度 $3 \times 10^{16} \text{ cm}^{-3}$)5

を形成する。この半導体領域はIIL部においてはpnpラテラルトランジスタのベース領域およびnpnバーチカルトランジスタのコレクタ電極取出し領域を成し、バイポーラ素子部においてはnpnトランジスタのコレクタを成し、抵抗部においては抵抗体をエピタキシャル成長層4から電気的に分離する領域を成す。なお、この拡散処理によつて半導体表面上に全面的にSiO₂膜が成長し、拡散部上にも薄い酸化膜3aが形成される。(第4図参照)

(5) IILのpnpラテラルトランジスタにおけるベース領域上を除き半導体上にホトレジスト膜6を形成し、これをマスクとしてSiO₂膜3aと同じ膜厚分をエッチングする処理をSiO₂に対して施す。これにより、pnpラテラルトランジスタのn型ベース拡散部上のみ隙間部7が生じる。(第5図参照)

(6) さらにホトレジスト6を半導体上に全面的に塗布する。(第6図参照)

(7) 上記ホトレジスト6に写真処理を施し、後

の第8工程でp型不純物の拡散をすべき部分を除去する。そして、この部分的に除去されたホトレジスト膜6をマスクとしてSiO₂膜3をエッチングする。(第7図参照)

その後、このホトレジスト膜6を除去すると第8工程でp型不純物の選択拡散すべき半導体部分のみが露出する。

(8) 半導体表面に残存するSiO₂膜3をマスクとしてp型不純物を拡散することによりp⁺型半導体領域8を形成する。この場合の拡散は例えば拡散温度を1100℃、拡散時間を30分程度とし、半導体領域の比抵抗 ρ_b が120Ω/□となるようにするのが好しい。(第8図参照)

このp⁺型半導体領域8はIIL部においては、ラテラルpnpトランジスタのエミッタとインバースnpnトランジスタのベースを成し、普通のバイポーラ素子部においてはnpnトランジスタのベースを成し、抵抗部においては抵抗体そのものを成すものであり、さらにはそれら以外の領域において接地電極取出領域をなすものである。

(9) その後、半導体表面にn型不純物を選択的に拡散することによりn⁺型半導体領域9を形成する。このn⁺型半導体領域9はIIL部においてはインバースnpnトランジスタのコレクタとエミッタ電極取出し領域をなし、バイポーラ素子部においてはnpnトランジスタのエミッタと、コレクタ電極取出領域とをなし、抵抗部においては抵抗体をエピタキシャル成長層4から分離する領域5にバイアスを与えるための電極を取り出す領域をなす。(第9図参照)

(10) その後、各電極形成部分のSiO₂膜3を除去し、アルミニウム電極形成処理を施す。(第10図参照)

第10図において、E₁はIILのラテラルpnpトランジスタのエミッタ電極、B₁はIILのラテラルpnpトランジスタのコレクタ及びインバースnpnトランジスタのベース電極、C₁、C₂はインバースnpnトランジスタのコレクタ電極、E₂はインバースnpnトランジスタのエミッタ電極、Gは各部相互間を分離するために半

導体基板にバイアスを与えるための接地電極、SはショットキーバリアダイオードSBDのアノード及びバイポーラnpnトランジスタのベース電極をなし、E₃はバイポーラnpnトランジスタのエミッタ電極をなし、C₃はバイポーラnpnトランジスタのコレクタ電極をなし、Vは抵抗体分解用バイアスを印加するための電極をなし、R₁、R₂は抵抗端子電極をなす。

本発明によれば、p型半導体基板上にp⁺型エピタキシャル成長層を形成したものにバイポーラnpn型素子をn⁺半導体埋込層を利用してIILとともに形成するものであるから、npn型バイポーラ素子を他の領域から分離するためのアイソレーション層を形成する必要がなくなり、工程数がいたずらに増やさず、さらに集積度を低下させることがない。

また、エピタキシャル成長層に不純物を選択的に添加して形成したn⁺型半導体領域5をバイポーラnpn型トランジスタのコレクタ領域として用いるものであることから、上記n型半導体領域

の不純物濃度を低くすることによつて、SBDを形成することが容易となる。

また、上記 n^- 型半導体領域5の形成によつてIIL部のインジエクタ領域、バイポーラ $n p n$ トランジスタのコレクタとSBDカソード領域、および抵抗体分離領域を同時に形成することになり、さらに、TTLのラテラル $p n p$ トランジスタのエミッタとインパース $n p n$ トランジスタのベース、接地電極Vの取出領域、バイポーラ $n p n$ トランジスタのベース、及び抵抗体領域を p^+ 型半導体領域の形成という一回の工程で形成できるので工程数が少なくてすむ。

そして、TTLのラテラル $p n p$ トランジスタのベース幅は、ベース領域の形成に用いた窓開部を SiO_2 膜のライトエッチングによつてエミッタ拡散に換してもそのまま残し、その窓開部を用いてエミッタの選択拡散を行うことによつてセルフアライメントが可能となり、ベース幅を著しく狭くすることができる。したがつて、ラテラル $p n p$ トランジスタの電流増幅率を向上させると

とも可能なのである。

以上説明したように本発明によれば、通常のバイポーラトランジスタさらには抵抗素子を有する半導体集積回路において、製造工数をいらずに増加させることなくIILの構成要素をなすトランジスタの電流増幅率を高めることができる。

なお、寄生MOSの発生を防止するために、前記第8工程において又は、その後に第8図a及びbの箇所に p^+ 拡散又は p^+ イオン打込みを行なつてもよい。

本発明はIILと、他のバイポーラ素子さらにはTTLを同一半導体チップに有する半導体集積回路に有効に適用することができる。

図面の簡単な説明

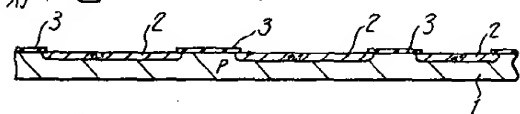
各図面は本発明方法における製造態様を工程順に示すものであり、第1図は埋込層形成工程、第2図はエピタキシャル層形成工程、第3図は SiO_2 膜を選択的に形成する工程、第4図は n^- 型半導体領域形成工程、第5図はTTLのラテラル $p n p$ トランジスタのエミッタ選択拡散用窓開部

残存工程、第6図はホトレジスト膜全面形成工程、第7図は SiO_2 膜の選択的エッチング工程、第8図は p^+ 型半導体領域形成工程、第9図は n^+ 型半導体領域形成工程、第10図は電極形成工程を示す断面図である。

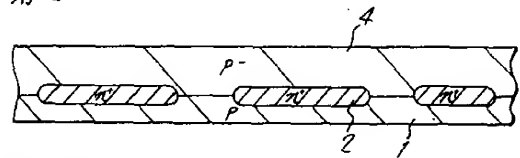
1・・・ p 型半導体基板、2・・・ n^+ 型埋込層、3・・・ SiO_2 膜、3a・・・ SiO_2 膜、4・・・ p^- 型半導体成長層、5・・・ n^- 型半導体領域、6・・・ホトレジスト膜、7・・・窓開部、8・・・ p^+ 型半導体領域、9・・・ n^+ 型半導体領域、10・・・電極。

代理人 弁理士 海田利幸

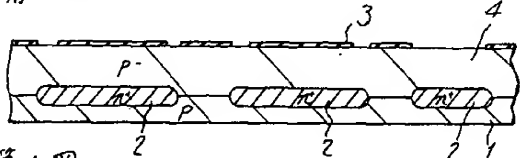
第1図



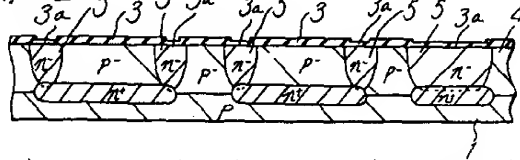
第2図



第3図



第4図

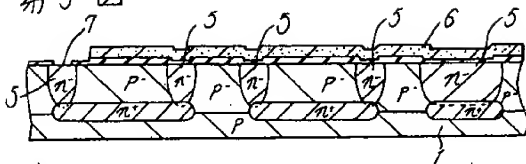


IIL部

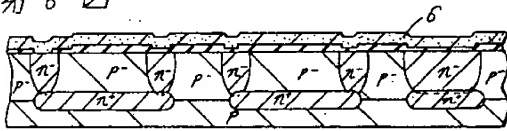
バイポーラ素子部

抵抗部

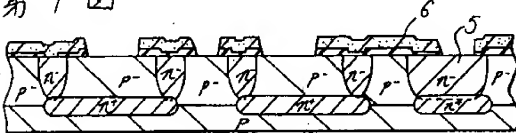
第5図



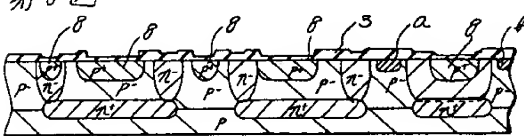
第6図



第7図

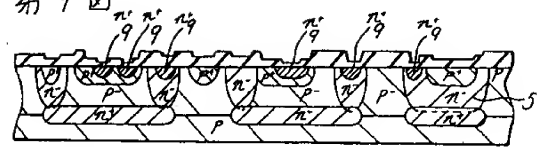


第8図

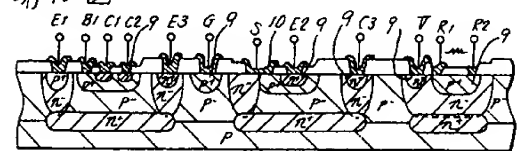


ILL部 バイポーラ素子部 抵抗部

第9図



第10図



ILL部 バイポーラ素子部 抵抗部

CLIPPEDIMAGE= JP353066187A

PAT-NO: JP353066187A

DOCUMENT-IDENTIFIER: JP 53066187 A

TITLE: SEMICONDUCTOR INEGRATED CIRCUIT DEVICE AND
ITS PRODUCTION

PUBN-DATE: June 13, 1978

INVENTOR-INFORMATION:

NAME

JO, SEIICHI

YAMAZAKI, KAZUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP51141275

APPL-DATE: November 26, 1976

INT-CL (IPC): H01L027/04;H01L021/72 ;H01L029/70 ;H03K019/08

US-CL-CURRENT: 438/FOR.215,438/325

ABSTRACT:

PURPOSE: To increase the current amplification factors of the transistors of
an

I<SP>2</SP>L without increasing the number of steps in an IC of ordinary
bipolar transistors and resistance elements and an I<SP>2</SP>L.

COPYRIGHT: (C)1978,JPO&Japio

